

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 03-072321

(43)Date of publication of application : 27.03.1991

(51)Int.Cl.

G02F 1/1333

G02F 1/136

(21)Application number : 01-209770

(71)Applicant : SHARP CORP

(22)Date of filing : 14.08.1989

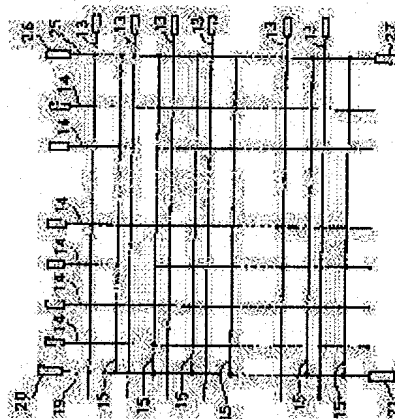
(72)Inventor : KATO HIROAKI  
NAKAZAWA KIYOSHI  
IMAYA AKIHIKO  
KATAYAMA MIKIO  
NAGAYASU TAKAYOSHI  
KANAMORI KEN

## (54) ACTIVE MATRIX DISPLAY DEVICE

### (57)Abstract:

**PURPOSE:** To realize a display small in signal delay and high in image quality by providing common trunk wiring which connects storage capacity bus lines electrically at both end parts of the storage capacity bus lines.

**CONSTITUTION:** Source bus lines 14 are provided crossing parallel gate bus lines 13 at right angles and the storage capacity bus lines 15 are formed in parallel to the gate bus lines 13. Further, a picture element electrode, a thin film transistor (TFT), etc., is formed in a rectangular area encircled with a gate bus lines 13, source bus lines 14 and 14, and a storage capacity bus line 15. Then both end parts of each storage capacity bus line 15 are connected to common trunk wires 19 and 25, external terminals 20 and 21 are provided at both end parts of the common trunk wire 19, and external terminals 26 and 27 are provided at both end parts of the common trunk wire 25 as well. Consequently, signal delay on the storage capacity bus line 15 is reduced, an irregular display is eliminated, and the high image quality is obtained.



## ⑫ 公開特許公報(A)

平3-72321

⑮ Int.Cl.<sup>5</sup>G 02 F 1/1333  
1/136

識別記号

5 0 0  
5 0 0

庁内整理番号

7610-2H  
9018-2H

⑬ 公開 平成3年(1991)3月27日

審査請求 未請求 請求項の数 1 (全7頁)

⑭ 発明の名称 アクティブマトリクス表示装置

⑰ 特 願 平1-209770

⑱ 出 願 平1(1989)8月14日

⑲ 発 明 者 加 藤 博 章 大阪府大阪市阿倍野区長池町22番22号 シヤープ株式会社  
内  
⑲ 発 明 者 中 沢 清 大阪府大阪市阿倍野区長池町22番22号 シヤープ株式会社  
内  
⑲ 発 明 者 今 矢 明 彦 大阪府大阪市阿倍野区長池町22番22号 シヤープ株式会社  
内  
⑲ 発 明 者 片 山 幹 雄 大阪府大阪市阿倍野区長池町22番22号 シヤープ株式会社  
内  
⑳ 出 願 人 シヤープ株式会社 大阪府大阪市阿倍野区長池町22番22号  
㉑ 代 理 人 弁理士 山本 秀策  
最終頁に続く

## 明 細 書

## 1. 発明の名称

アクティブマトリクス表示装置

## 2. 特許請求の範囲

1. 少なくとも一方が透光性を有する一対の基板と、該一対の基板間に封入され印加電圧にตอบสนองして光学的特性が変調される表示媒体と、該一対の基板の何れか一方の基板内面にマトリクス状に配列された絵素電極と、該絵素電極に対向する蓄積容量用電極と、該蓄積容量用電極に接続された蓄積容量バスラインと、を有するアクティブマトリクス表示装置であって、

該蓄積容量バスライン間を電気的に接続する共通幹配線が、該蓄積容量バスラインの両端部に設けられているアクティブマトリクス表示装置。

## 3. 発明の詳細な説明

(産業上の利用分野)

本発明は、蓄積容量を有するアクティブマトリクス表示装置に関する。

(従来技術)

従来より、液晶表示装置、EL表示装置、プラズマ表示装置等に於いては、マトリクス状に配列された絵素電極を選択駆動することにより、画面上に表示パターンが形成されている。選択された絵素電極とこれに対向する対向電極との間に電圧が印加され、その間に介在する表示媒体の光学の変調が行われる。この光学の変調が表示パターンとして視認される。絵素電極の駆動方式として、個々の独立した絵素電極を配列し、この絵素電極のそれぞれにスイッチング素子を連結して駆動するアクティブマトリクス駆動方式が知られている。絵素電極を選択駆動するスイッチング素子としては、TFT(薄膜トランジスタ)素子、MIM(金属-絶縁層-金属)素子、MOSトランジスタ素子、ダイオード、バリスタ等が一般的に知られている。アクティブマトリクス駆動方式は、高コントラストの表示が可能であり、液晶テレビジョン、ワードプロセッサ、コンピュータの端末表示装置等に実用化されている。

このようなアクティブマトリクス表示装置では、

充分なコントラストを得るために、蓄積容量が設けられることがある。蓄積容量は各絵素電極と、各絵素電極に絶縁性の膜等を介して重畳された蓄積容量用電極とによって形成される。第4図に蓄積容量を有するアクティブマトリクス表示装置の等価回路図を示す。平行するゲートバスライン13に直交して、ソースバスライン14が設けられている。ゲートバスライン13にはTFT16のゲート電極22が接続され、TFT16のソース電極23はソースバスライン14に接続されている。TFT16のドレイン電極24には、絵素電極と対向電極との間に形成される絵素容量17と、絵素電極と蓄積容量用電極との間に形成される蓄積容量18とが接続されている。各蓄積容量用電極は蓄積容量バスライン15に接続されている。

この表示装置では、ゲートバスライン13に走査信号が印加されると、TFT16のソース電極23とドレイン電極24との間が低抵抗となり、ソースバスライン14に出力された画像信号に応じた電圧が、絵素容量17及び蓄積容量18に印

加される。この電圧により、絵素電極と対向電極との間に封入された液晶等の表示媒体の光学的特性の変調が行われる。次に、ゲートバスライン13上の走査信号がオフ状態となると、ソース電極23とドレイン電極24との間が高抵抗となり、絵素容量17及び蓄積容量18に蓄積された電荷は、ゲートバスライン13上に次の走査信号が印加されるまでの一周間の間保持される。絵素容量17に保持された電荷の減衰速度は、表示媒体である液晶の電気抵抗とTFT16の漏れ電流とに依存する。蓄積容量18はこのように蓄積された電荷を一周間の間、高いレベルで保持するために設けられている。このように蓄積容量18を有する表示装置では画像信号の電圧の高低により、中間調の表示も可能となる。

各蓄積容量18を構成している蓄積容量用電極は、絵素電極の一部と絶縁膜を介して対向するように設けられ、前述のように各蓄積容量用電極は蓄積容量バスライン15に接続されている。第4図の表示装置の一方の基板であるアクティブマト

リクス基板の概略図を第5図に示す。尚、第5図では簡単のためにTFT16、絵素容量17、及び蓄積容量18の記載を省略してある。第5図に示すように、各蓄積容量バスライン15は共通幹配線19に接続され、共通幹配線19の両端には外部端子20及び21が設けられている。

(発明が解決しようとする課題)

ゲートバスライン13、ソースバスライン14、及び蓄積容量バスライン15は、金属などの導電性材料で形成されており、それぞれ電気抵抗 $R(G)$ 、 $R(S)$ 、 $R(Cs)$ を有している。また、これらのバスラインは、交差する他のバスラインと対向電極との間に電気容量 $C(G)$ 、 $C(S)$ 、 $C(Cs)$ をそれぞれ有している。従って、これらのバスライン上では、これらの電気抵抗と電気容量との積で表される時定数 $\tau(G)$ 、 $\tau(S)$ 、 $\tau(Cs)$ に相当する信号遅延が生じる。このような信号遅延により、各バスラインの端子に加えられた信号は、バスラインの先端へ進むにつれて遅延することとなる。

この信号遅延の大きさはゲートバスライン13及びソースバス配線14上ではそれぞれ $\tau(G)$ 及び $\tau(S)$ に依存する。しかし、蓄積容量バスライン15上の信号遅延は、 $\tau(Cs)$ と、共通幹配線19上の $\tau(Csa)$ とを加えた値に依存する。そのため、外部端子20及び21に加えられた信号は、まず、共通幹配線19上で遅延し、更に蓄積容量バスライン15上で遅延することとなる。

第5図のアクティブマトリクス基板では、共通幹配線19上の信号遅延は、外部端子20及び21から最も遠い中央部で最も大きい。また、蓄積容量バスライン15上の信号遅延は、共通幹配線19から最も遠い部分で最も大きい。従って、第5図の例では基板の右端の中程の部分で最も信号遅延が大きくなる。この様子を第6図(a)に示す。第6図(a)では表示画面は破線で示され、信号遅延の最も大きい絵素電極がAで示されている。第6図(a)の絵素電極Aに於ける信号遅延 $\tau(A)$ は、次のように表される。

$$\tau(A) = \tau(P) + \tau(a)$$

ここで、 $\tau(P)$ は第6図(a)の共通幹配線19上の外部端子20及び21からP点までの間の部分に生じる信号遅延、 $\tau(a)$ は蓄積容量バスライン15上のP点からA点までの部分に生じる信号遅延である。 $\tau(P)$ は、共通幹配線19の外部端子20又は21からP点までの部分の電気容量 $C(P)$ 及び電気抵抗 $R(P)$ の積で表される。同様に、 $\tau(a)$ は、蓄積容量バスライン15のP点からA点までの部分の電気容量 $C(a)$ 及び電気抵抗 $R(a)$ の積で表される。従って、上記 $\tau(A)$ は

$$\tau(A) = C(P) \cdot R(P) + C(a) \cdot R(a)$$

で表される。

蓄積容量バスライン15の信号遅延の大きい部分に接続された絵素電極では、ゲートバスライン13にオン信号が加えられている間に、データ信号を十分に書き込むことができない。そのため、表示画面上には信号遅延に基づく不均一な表示が生じることとなる。画面が大型化されるに伴い、

記目的が達成される。

(作用)

第6図(b)に示すように本発明表示装置では、蓄積容量バスライン15の両端部に共通幹配線19及び25が接続された構成を有している。このような構成では、信号遅延は破線で示す表示画面の中央のBで示す絵素電極で最も大きくなる。絵素電極Bに於ける信号遅延 $\tau(B)$ は

$$\tau(B) = \tau(P) + \tau(b)$$

で表される。 $\tau(P)$ は前述の従来例で説明したように、共通幹配線19上の外部端子20及び21からP点までの部分に生じる信号遅延、又は共通幹配線25上の外部端子26及び27からP'点までの部分に生じる信号遅延である。 $\tau(b)$ は、蓄積容量バスライン15上のP点又はP'点からB点までの部分に生じる信号遅延である。

蓄積容量バスライン15上のP点又はP'点からB点までの部分の電気容量 $C(b)$ 及び電気抵抗 $R(b)$ は、前述の第6図(a)のP点からA点までの部分の電気容量 $C(a)$ 及び電気抵抗 $R$

バスラインの抵抗及び容量が大きくなるので、上述の問題点は顕著に現れる。また、表示画面が精細化されるに伴い、バスラインの数が多くなるので、同様に上述の問題点は顕著に現れる。

本発明はこのような問題点を解決するものであり、本発明の目的は、信号遅延の小さい蓄積容量バスラインを有するアクティブマトリクス表示装置を提供することである。

(課題を解決するための手段)

本発明のアクティブマトリクス表示装置は、少なくとも一方が透光性を有する一対の基板と、該一対の基板間に封入され印加電圧にตอบสนองして光学的特性が変調される表示媒体と、該一対の基板の何れか一方の基板内面にマトリクス状に配列された絵素電極と、該絵素電極に対向する蓄積容量用電極と、該蓄積容量用電極に接続された蓄積容量バスラインと、を有するアクティブマトリクス表示装置であって、該蓄積容量バスライン間を電気的に接続する共通幹配線が、該蓄積容量バスラインの両端部に設けられておりそのことによって上

(a)の2分の1であるから

$$C(b) = C(a) / 2$$

$$R(b) = R(a) / 2$$

となる。従って、

$$\begin{aligned} \tau(b) &= (C(a) / 2) \cdot (R(a) / 2) \\ &= \tau(a) / 4 \end{aligned}$$

である。

このように本発明では蓄積容量バスライン15上の信号遅延が低減され、不均一表示の問題が解決される。

(実施例)

本発明を実施例について以下に説明する。第1図に本発明の表示装置に用いられるアクティブマトリクス基板の概略平面図を示す。平行するゲートバスライン13に直交して、ソースバスライン14が設けられている。ゲートバスライン13に平行して蓄積容量バスライン15が形成されている。ゲートバスライン13、ソースバスライン14、及び蓄積容量バスライン15に囲まれた矩形の領域には、絵素電極、TFT等が形成さ

れている。尚、第1図では簡単のために絵素電極、TFT等の記載を省略してある。各蓄積容量バスライン15の両端部は共通幹配線19及び25に接続されている。共通幹配線19の両端部には、外部端子20及び21が設けられている。同様に、共通幹配線25の両端部には、外部端子26及び27が設けられている。

第2図(a)に共通幹配線19と蓄積容量バスライン15との接続部付近を拡大した平面図を示す。第2図(b)に第2図(a)のB-B線に沿った断面図を示す。ガラス基板1上にベースコート膜2が3000Å〜9000Åの厚さに堆積されている。ベースコート膜2は、 $Ta_2O_5$ 、 $Al_2O_3$ 、又は $Si_3O_4$ から成る。

ベースコート膜2上にはゲートバスライン13と、蓄積容量バスライン15とが同時に形成されている。蓄積容量バスライン15の両端部は該バスライン15の他の部分よりも幅が大きくなっている。ゲートバスライン13及び蓄積容量バスライン15を覆って全面に、TFTを形成するため

のゲート絶縁膜6が堆積されている。ゲート絶縁膜6は蓄積容量バスライン15の幅の大きい両端部の上で除去され、スルーホール7が形成されている。

ゲート絶縁膜6上にはソースバスライン14及び共通幹配線19が同時に形成されている。共通幹配線19は各蓄積容量バスライン15の端部に設けられたスルーホール7上を通過するようにして形成されている。また、共通幹配線19はスルーホール7上で幅が大きくなっている。このスルーホール7を介して各蓄積容量バスライン15と共通幹配線19とが電気的に接続されている。蓄積容量バスライン15の他方の端部と共通幹配線25との接続部も、第2図(a)及び(b)と同様である。

本実施例では蓄積容量バスライン15の両端部に共通幹配線19及び25が形成されている。従って、前述したように蓄積容量バスライン15上の信号遅延は、一方の共通幹配線のみを有する従来の表示装置のそれに比較し、4分の1となっている。

いる。このように蓄積容量バスライン上の信号遅延が低減されると、不均一表示が解消され、高い画像品位を有する表示装置が得られる。

第3図(a)に本発明表示装置に用いられるアクティブマトリクス基板の作製途中の段階の平面図を示す。第3図(a)では簡単のために、絵素電極、TFT、ソースバスライン等の記載を省略してある。本実施例ではゲートバスライン13及び蓄積容量バスライン15は外周部に形成されたガードリング10に接続されている。

第3図(b)に蓄積容量バスライン15と共通幹配線19との接続部を拡大した平面図を示す。第3図(c)に第3図(b)のC-C線に沿った断面図を示す。ガラス基板1上にベースコート膜2が全面に形成され、ベースコート膜2上にはゲートバスライン13及び蓄積容量バスライン15が同時に形成されている。第3図(a)の破線で囲まれた領域内のゲートバスライン13及び蓄積容量バスライン15の上面に、 $Ta_2O_5$ から成る陽極酸化膜12が形成されている。ゲートバスラ

イン13及び蓄積容量バスライン15の上には、全面に形成されたゲート絶縁膜6が堆積されている。

蓄積容量バスライン15の陽極酸化膜12が形成されていない領域には、幅が大きくなった部分が設けられている。この幅の大きい部分の上のゲート絶縁膜6は除去され、スルーホール7が形成されている。

ゲートバスライン13及び蓄積容量バスライン15上には、共通幹配線19が陽極酸化膜12及びゲート絶縁膜6を介して形成されている。共通幹配線19からは枝配線11が分岐し、スルーホール7上に延びている。従って、蓄積容量バスライン15と共通幹配線19とは、スルーホール7を介して電気的に接続されている。蓄積容量バスライン15の他方の端部と共通幹配線25との接続部も、第3図(b)及び(c)と同様である。第3図(a)に示すガードリング10はアクティブマトリクス基板の完成後、ゲートバスライン13及び蓄積容量バスライン15から切り離される。

本実施例でも蓄積容量バスライン15の両端部に共通幹配線19及び25が形成され、一方の共通幹配線のみを有する従来の表示装置のに比較し、蓄積容量バスライン上の信号遅延は4分の1となっている。このように蓄積容量バスライン上の信号遅延が低減され、不均一表示が解消されている。

上記実施例ではTFTを用いたアクティブマトリクス型の表示装置について説明したが、本発明はこれに限定されるものではなく、MIM素子、ダイオード、バリスタ等を用いた広範囲の表示装置に用いることができる。また、本発明は表示媒体として液晶以外に、薄膜発光層、分散型EL発光層、プラズマ発光体等を用いた各種表示装置にも用いることができる。

#### (発明の効果)

本発明によれば、信号遅延の小さい蓄積容量バスラインを有するアクティブマトリクス表示装置が提供され得る。従って、本発明によれば高い画像品位を有する表示装置が得られ、表示装置の大型化、高精細化にも対応することができる。

ング、11…枝配線、12…隔極酸化膜、13…ゲートバスライン、14…ソースバスライン、15…蓄積容量バスライン、19、25…共通幹配線、20、21、26、27…外部端子。

以 上

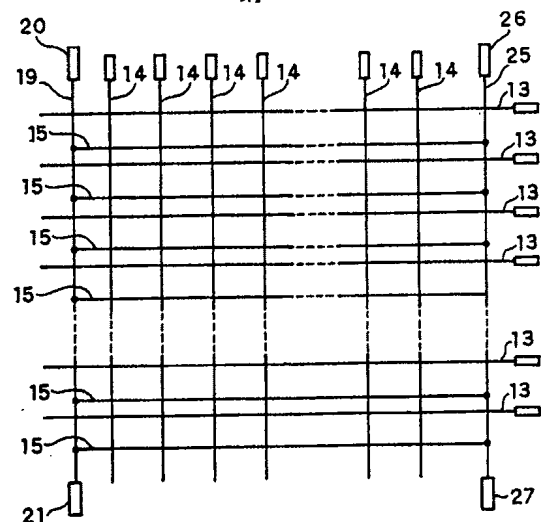
出願人 シャープ株式会社  
代理人 弁理士 山本秀策

#### 4. 図面の簡単な説明

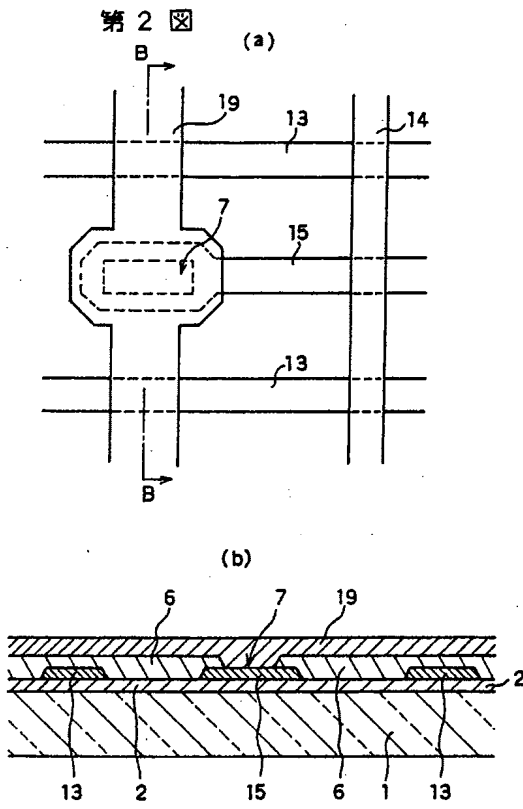
第1図は本発明の表示装置に用いられるアクティブマトリクス基板の概略平面図、第2図(a)は第1図の蓄積容量バスラインと共通幹配線との接続部の拡大平面図、第2図(b)は第2図(a)のB-B線に沿った断面図、第3図(a)は本発明表示装置の他の実施例に用いられるアクティブマトリクス基板の作製途中の段階を示す平面図、第3図(b)は第3図(a)の蓄積容量バスラインと共通幹配線との接続部の拡大平面図、第3図(c)は第3図(b)のC-C線に沿った断面図、第4図は従来のアクティブマトリクス表示装置の等価回路図、第5図は第4図の表示装置に用いられるアクティブマトリクス基板の概略平面図、第6図(a)は従来のアクティブマトリクス表示装置に於ける信号遅延の説明図、第6図(b)は本発明のアクティブマトリクス表示装置に於ける信号遅延の説明図である。

1…ガラス基板、2…ベースコート膜、6…ゲート絶縁膜、7…スルーホール、10…ガードリ

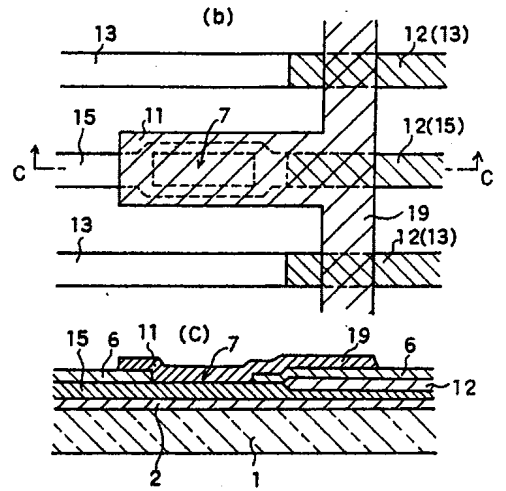
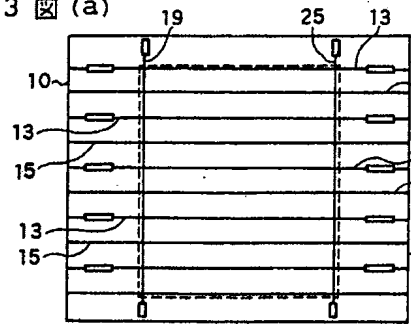
第1図



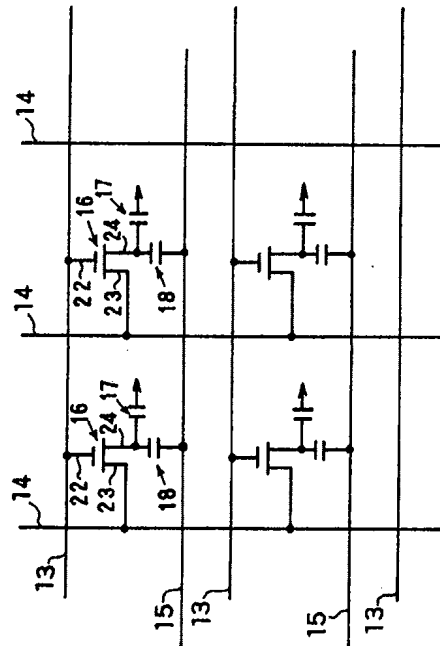
第2図



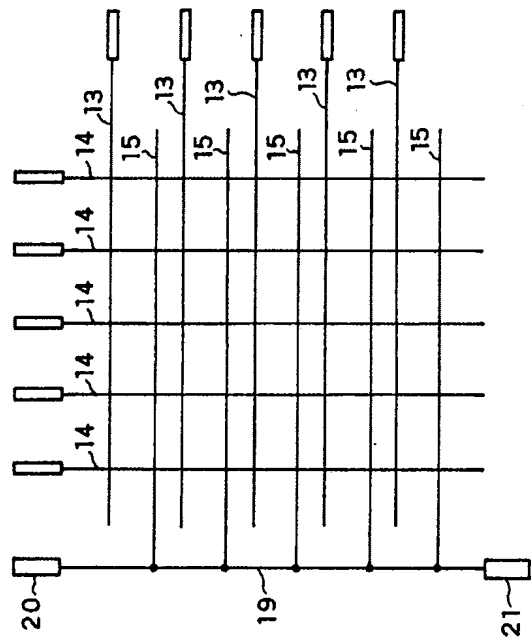
第3図 (a)



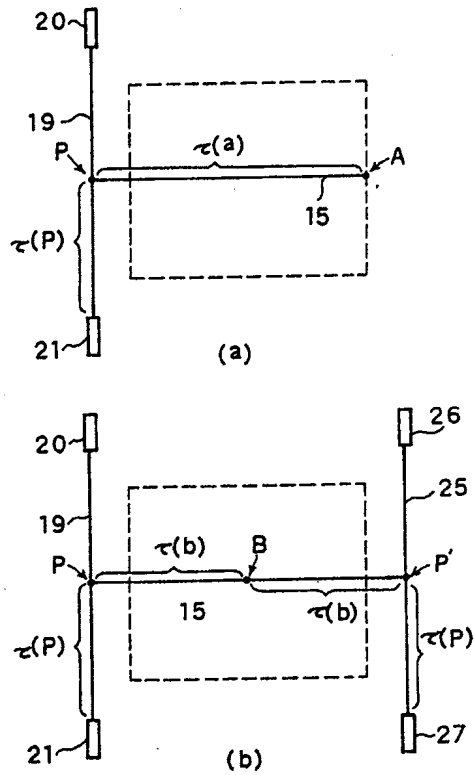
第4図



第5図



第6図



第1頁の続き

⑦発明者	永安	孝好	大阪府大阪市阿倍野区長池町22番22号	シヤープ株式会社
			内	
⑦発明者	金森	謙	大阪府大阪市阿倍野区長池町22番22号	シヤープ株式会社
			内	